

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110037

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 27/112

H01L 29/788

H01L 29/792

(21)Application number : 03-264216

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.10.1991

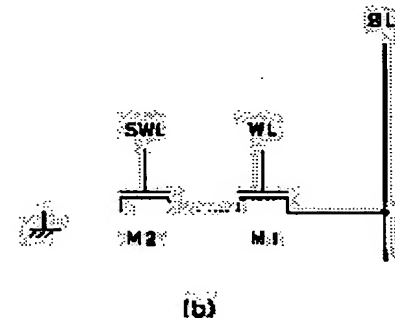
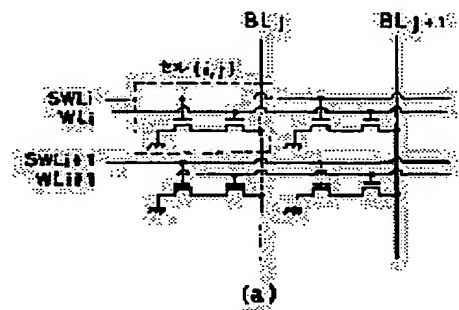
(72)Inventor : HAZAMA HIROAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable the data to be written-in and erased making use of the fluctuation in the threshold value voltage by a method wherein a first MOSFET to be a select transistor and a second MOSFET storing the data are connected in series so as to inject and arrest carriers in a gate oxide film of the second MOSFET.

CONSTITUTION: Within the memory cells i, j , a first MOSFET (M1) and a second MOSFET (M2) are connected in series between a bit line BL_j and the reference potential. Besides, the gate electrodes of the first and second MOSFETs are assumed respectively to be the word line WLi and $SWLi$. In such a constitution, the notably fluctuating function of the threshold value voltage can be discharged by the element in terms of the gate length of $0.1\mu\text{m}$ or exceeding the same since the length of the carrier injected region shall be specified as $0.05\mu\text{m}$ not to be decided by the gate length due to the injection of the carrier in the gate oxide film of the second MOSFET (M2).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-110037

(43) 公開日 平成5年(1993)4月30日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/112				
29/788				
29/792				
		8831-4M	H 0 1 L 27/10	4 3 3
		8225-4M	29/78	3 7 1
審査請求 未請求 請求項の数1(全 8 頁)				

(21) 出願番号 特願平3-264216

(22) 出願日 平成3年(1991)10月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 間 博顕

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

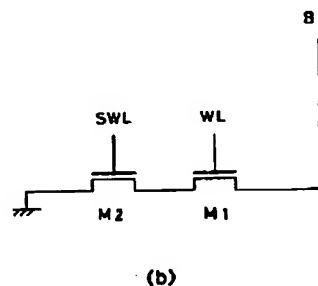
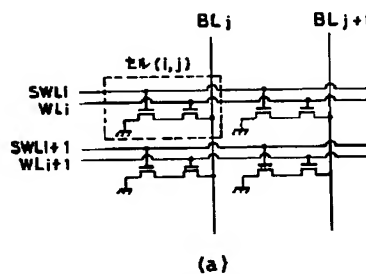
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 電氣的に書き込み、消去が可能な半導体不揮発性メモリセルにおいて、ビット線と基準電位との間に MOSFET を直列に2つ配置し、データを記憶する素子のゲート電極材料として、ドレインとオーバーラップする部分の仕事関数がチャネル部分と異なるようにする。

【効果】 極微細MOSでバンド間トンネル、酸化膜中へのキャリア注入が可能となる。



1

【特許請求の範囲】

【請求項1】 電氣的に書き込み、消去が可能な不揮発性半導体メモリセルにおいて、第1のMOSFETと第2のMOSFETがそれぞれ拡散領域の一方を共通にしてビット線と基準電位との間に直列に接続された回路構成を有し、その第2のMOSFETのゲート酸化膜中にキャリアを捕獲、または放出させることにより情報を記憶し、前記メモリセル中の第2のMOSFETにおいて、ゲート電極とドレイン領域がゲート酸化膜を挟んで相対して配置された構造を有し、ゲート電極として、チャンネル上のゲート電極の仕事関数とドレイン上のゲート電極の仕事関数が異なることを特徴とし、第2のMOSFETがn型チャンネルの場合には、ドレイン上のゲート電極の仕事関数がチャンネル上のそれよりも小さく、第2のMOSFETがp型チャンネルの場合にはドレイン上のゲート電極の仕事関数がチャンネル上のそれよりも大きいことを特徴とするMOSFETを用いた半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOSFETのゲート絶縁膜中に形成されたキャリアの捕獲準位にキャリアを捕獲させるか否かにより、情報を電氣的に書き込み及び消去することが可能である不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】電氣的に情報の書き込み及び消去が可能な不揮発性の半導体メモリ装置としては、フローティングゲートを有するEEPROMが従来から知られている。

【0003】フローティングゲートを用いたEEPROMでは、その消去動作はメモリセルのトランジスタが、図9(a)に示すように、半導体基板91に形成されたドレイン領域92からフローティングゲート93に電子を注入することにより行なわれている。このように、ドレイン領域92からフローティングゲート93に電子を注入するためには、コントロールゲート4に例えば20V程度の高電圧のバイアス電圧が印加され、ドレイン領域92には例えば0V程度のバイアス電圧が印加される。これにより、トランジスタのしきい値が正になる。

【0004】一方、書き込み動作にあたっては、図9(b)に示すように、フローティングゲート93からドレイン領域92へ電子を放出する事により行なわれている。このような書き込み動作を行なう場合には、コントロールゲート4に0V程度のバイアス電圧が印加され、ドレイン領域92には20V程度の高電圧が印加される。これにより、トランジスタのしきい値は負になり、データの識別が可能となる。

【0005】このようなフローティングゲートを有するトランジスタは、図10に示すように、通常のMOSFETデバイス作成工程で素子分離をしたのち、シリコン

2

基板表面を熱酸化してシリコン酸化膜102を、例えば50nm形成する。次にレジステを塗布し、通常の方法でレジストに高濃度に不純物を導入する部分のみレジストが除去されるようにパターンを転写・現像する。続いて、このレジスト103をマスクにしてイオン注入を行ない、例えばヒ素を60keV、 $5 \times 10^{15} \text{cm}^{-2}$ イオン注入する(図(a)参照)。次に、上記レジスト103、及びレジスト下のシリコン酸化膜102を除去しゲート酸化膜105及びトンネルゲート酸化膜106を熱酸化により形成し、多結晶シリコン107を堆積する(図(b)参照)。そののち多結晶シリコンを酸化しコントロールゲート-フローティングゲート間の絶縁膜108とし、次にコントロールゲートとなる多結晶シリコン109を堆積する(図(c)参照)。次に、フローティングゲート、コントロールゲートを同時に加工することによって、フローティングゲートを有するMOSTランジスタが形成される(図(d)参照)。このように、フローティングゲートを有するMOSTランジスタの形成方法は、通常のMOSFETの形成方法に比べて製造工程がかなり複雑となる。

【0006】

【発明が解決しようとする課題】以上説明したように、フローティングゲートを有するトランジスタを用いた、電氣的に書き込み及び消去が可能な不揮発性の半導体メモリセルにあつては、その製造工程が通常のMOSFETの製造工程に比較して複雑であり、製造工程の低コスト化が難しかった。

【0007】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、製造工程の簡略化を図り、低コストで製造することができる不揮発性でかつ、情報を電氣的に書き込みおよび消去可能な半導体メモリセルを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明においては、セレクトトランジスタとなる第1のMOSFETと情報を記憶する第2のMOSFETを直列に接続して、メモリセルを構成している。情報の記憶は、メモリセルに設けられた第2のMOSFETのゲート酸化膜中にキャリアを注入・捕獲させることによりしきい値電圧が変化し、電流-電圧特性が大きく変化することを用いて半導体メモリセルを構成している。

【0009】

【作用】上記構成において、この発明は、第1のMOSFETはセレクトトランジスタとして作用し、データを選択的に書き込むまたは読み出す際にオンさせている。また、第2のMOSFETはデータの記憶素子として動作する。以下にデータ記憶機能の具体的な動作について説明する。

【0010】メモリセルに設けられた第1の導電型の基板に作成された第2の導電型のMOSFETのゲート酸

化膜中に設けられた第1の導電型のキャリア捕獲準位に、第1の導電型のキャリアを捕獲させることにより情報の記憶を行なう。ゲート酸化膜中へのキャリアの捕獲は、ゲート電極とドレインがゲート酸化膜を挟んで相対している領域でバンド間トンネルにより発生したキャリアを、シリコンゲート酸化膜界面に沿った横方向電界で加速し、酸化膜中に注入を行なっている。この際、ゲート酸化膜中へのキャリアのトラップによるしきい値電圧の変調が大きい程、記憶された情報の読み出しが容易となり、メモリ性能向上が図れる。しきい値電圧の変調度を大きくするためには、図4に示すようにゲート酸化膜中にトラップされる領域の長さがチャンネルに占める割合が1に近づければよい。図5にn型MOSFETにおいて、ゲート酸化膜中に正孔を捕獲させる前後での、線*

$$E_y = (V_d - V_g + \phi_{ms} - 1.2) / 3 \cdot T_{ox} \quad (1)$$

となる。ここで T_{ox} はゲート酸化膜厚を表わす。ゲート酸化膜厚が薄い場合には、比較的小さな $V_d - V_g$ で E_y は十分大きくなる。従って従来の構造のMOSFETにおいては、 V_d が小さいために横方向電界 E_x が十分に大きくなり、酸化膜中にキャリアを注入することができないという問題があった。

【0011】本発明では、ドレインとゲート電極がゲート酸化膜を挟んで相対している部分のゲート電極の材料がチャンネル部のゲート電極の材料と異なり、n型チャンネルにおいては ϕ_{ms} が小さな材料を用いるので、(1)式よりゲート酸化膜厚が薄い場合でも E_y を大きくするために、大きなドレイン電圧を印加する必要がある。横方向電界 E_x も十分大きくなる。従って、例えばn型チャンネルMOSFETでは、図3に示すような構造をとることに依って、ゲート長の短いMOSFETにおいてバンド間トンネルによって生じたキャリアを横方向電界で加速して、ゲート酸化膜中に捕獲させることができ、酸化膜中にキャリアが捕獲されているか・否かにより、しきい値電圧を大きく変調することができるようになる。

【0012】以上のように、ゲート酸化膜中へのキャリアの捕獲により、MOSFETのしきい値電圧が低下するので、情報の読み出しは、あるゲート電圧における電流駆動力の違いを利用して情報を読み出す。第2のMOSFETのゲートにバイアスを印加することにより、第2のMOSFETのゲート酸化膜中に捕獲されたキャリアを捕獲準位から放出させることにより消去させ、電気的に書き込み、消去可能なメモリセルを実現している。

【0013】

【実施例】以下、n型チャンネルトランジスタを例にとり、図面を用いてこの発明の実施例を説明する。

【0014】図1はこの発明の一実施例に係わる不揮発性メモリセルの構成を示している。メモリセル(i, j)はビット線(BLj)と基準電位の間に第1のMOSFET(M1)と第2のMOSFET(M2)が直列に接続された構造になっている。ここで第1のMOSF

*形領域での G_m とゲート長との関係を示す。これより、正孔が酸化膜中にトラップされる領域の長さは、 $0.05 \mu m$ とゲート長によらず一定であるため、素子のゲート長が短い程キャリアの酸化膜中へのトラップによるしきい値電圧に対する変調度が大きくなる。一方、素子のゲート長が短くなると、スケーリング則に従って、ゲート酸化膜厚を薄くしなければならない。このとき、ゲート電極とドレインがゲート酸化膜を挟んで相対している領域においてバンド間トンネルを生じさせ、そのキャリアをゲート酸化膜/シリコン界面に対して水平な電界で加速して、酸化膜中のトラップに注入するには、第6図に示す電界 E_y が約 $2.5 MV/cm$ 、 E_x が $1 MV/cm$ 以上である必要がある。垂直電界 E_y はゲート電極と、ドレインの仕事関数の差を ϕ_{ms} として、

ETのゲート電極をワード線(WLi)に、第2のMOSFETのゲート電極を第2ワード線(SWL1)としている。第1のMOSFET(M1)はゲートトランジスタであり、第2のMOSFET(M2)が情報記憶素子となっている。図2は本発明によるメモリセルを用いてのメモリの構成図を示している。

【0015】図1の第2のMOSFET(M2)に必要な機能である、ゲート酸化膜中にキャリアが注入されることによりしきい値電圧が大きく変化するという機能は、キャリアが注入される領域長がゲート長に依らず $0.05 \mu m$ と一定であるので、ゲート長として $0.1 \mu m$ 、若しくはそれ以下の素子で実現される。ゲート長 $0.1 \mu m$ のMOSFETは素子パラメータとして、例えば、 $T_{ox} = 4 nm$ 、 $N_{sub} = 1 \times 10^{18} cm^{-3}$ 、 $x_j = 0.05 \mu m$ を用いることに依って可能である。このようなパラメータをもち、図3に示したように、ゲート電極がゲート酸化膜を挟んでドレインと相対している領域におけるゲート電極の仕事関数がチャンネル部よりも大きいMOSFETを実現する工程断面図を第8図に示す。

【0016】図8(a)はp型シリコン基板81上に、不純物濃度 $1 \times 10^{18} cm^{-3}$ のp型ウェル82をボロンのイオン注入とそれに続く熱拡散工程で作成し、通常のn型チャンネルMOSFET作成工程を用いて素子分離領域83を形成した図を示す。続いて(b)に示すようにこれを熱酸化することにより、ゲート酸化膜84を例えば $4 nm$ 形成する。ゲート電極85として多結晶シリコン膜を堆積したのち多結晶シリコンボロン拡散を行なったのち、通常のMOSFET作成工程を用いてレジスト塗布、露光、RIEドライエッチングによってゲート電極を形成する。次にゲート電極をマスクとしてヒ素のイオン注入を例えば加速電圧 $30 keV$ で $5 \times 10^{15} cm^{-2}$ 行ないソース・ドレイン領域86を形成する。(c)に示すようにリンを $1 \times 10^{20} cm^{-3}$ 程度含んだ多結晶シリコンを堆積したのち異方性ドライエッチングを施すことにより、ゲート電極側壁部にp型多結晶シリコン領域87を

残す。(d)に示すように、CVDシリコン酸化膜88を堆積し、ゲート電極、ソース・ドレイン領域に対してコンタクトホールを開孔したのちアルミニウム89で配線を行なう。

【0017】図8に示した方法で形成されたMOSFETを第2のMOSFET(M2)として用いて図1に示したメモリを構成した場合の回路の具体的動作を説明する。まず、ゲート電極とドレインがゲート酸化膜を挟んで相対している領域でバンド間トンネルを生じさせ、これらバンド間トンネルによって生じたキャリアを横方向電界で加速して、ゲート酸化膜中に注入する方法について説明する。ゲート電極に $V_g = -0.5V$ を印加し、ドレインに $V_d = 4V$ を印加すると、図3(b)に示されるように、チャネル部分には正孔が蓄積され、その領域がドレイン部分に潜り込み、図3に示されるように空乏層33が形成され、ドレイン電圧が正孔が蓄積された領域とドレイン領域との間に印加されるため、比較的低いドレイン電圧で横方向電界 E_x は十分に高くなる。一方、ゲート電極とドレインがゲート酸化膜を挟んで相対する領域での垂直電界 E_y は式(1)に示されるようになり、ここでゲート電極がn型の多結晶シリコンであるため ϕ_{ms} は約0Vで E_y は約 $2.5MV/cm$ となり、 E_x 、 E_y ともにバンド間トンネルを生じさせる条件並びに、横方向電界でキャリアを加速して酸化膜中に注入する条件を満足するようになる(図6)。

【0018】このように第2のMOSFET(M2)として、チャネル長が $0.1\mu m$ のMOSFETを用い、ソース(S2)を接地し、ゲートに負バイアス $V_g = -0.5V$ を印加してドレイン(D2)に4Vを印加することにより、ゲートとドレインのオーバーラップ領域においてバンド間トンネルを生じさせ、それに依って発生した正孔を酸化膜中に捕獲させる方法を用いて酸化膜中に正孔を捕獲せしめることができる。図4に上記方法で正孔をゲート酸化膜中に中入・捕獲させた場合の素子の断面模式図を示す。このように、正孔が酸化膜中に捕獲された領域の長さがチャネル長に占める割合が大きいため、正孔を酸化膜中に捕獲させることにより、トランジスタのしきい値電圧を大きく変調することが可能となる。

【0019】次に情報の消去方法について示す。消去動作については、ゲートに正バイアス、例えば5Vを印加することにより酸化膜中に捕獲された正孔を容易に捕獲準位から放出させることができる。

【0020】図7に第1図のメモリセルを用いて、データの書き込み、消去及び読み出し動作を行なう際の制御信号を示す。図7(a)は書き込み動作に対応している。書き込みを行なうセル(i, j)に対応する第2ワード線(SWL1)の電位を例えば0.5Vから-0.5Vに変化させる。これとほぼ同じタイミングでワード線(WL1)の電位を例えば0から4Vまで変化させ、セレクトゲートをオンさせる。次にビット線(BLj)を

例えば0から4Vまで変化させる。このとき第2のMOSFET(M2)においてゲート電圧が第2ワード線で-0.5Vに、ドレイン電圧がビット線で4Vになっているものについてのみ、ゲート電極とドレインがゲート酸化膜を挟んで相対している領域にてバンド間トンネル電流が流れ、かつ横方向電界でバンド間トンネルによって生じた正孔が加速され酸化膜中に注入され、正孔捕獲準位に捕獲される。この動作により、セル(i, j)の第2MOSFET(M2)のみに選択的にゲート酸化膜中に正孔を捕獲させることが可能となる。

【0021】次に図7(b)で消去動作について示す。第2のMOSFET(M2)の酸化膜中に捕獲された正孔を捕獲準位から放出させるためには、ソース・ドレイン・基板のバイアスを共通にして、ゲートに正のバイアス、例えば5Vを印加すればよい。(b)ではワード線(WL1)の電位を、例えば0から4Vに変化させセレクトゲートトランジスタ(M1)をオンさせ、その第2ワード線(SWL1)の電位を0から4Vに変化させる。この動作により第2ワード線(SWL1)に接続されているメモリセルのデータを一括して消去することが可能となる。

【0022】次に図7(c)を用いてデータの読み出し動作について説明する。セル(i, j)のデータを読み出す際には、まずビット線(BLj)を例えば5Vにプリチャージする。次に第2ワード線(SWL1)の電位を例えば0から正孔が捕獲されていないトランジスタのしきい値 V_{th} まで変化させる。それに引続き、ワード線(WL1)の電位を例えば0から4Vまで変化させる。これによりセル(i, j)の第2MOSFETの酸化膜中に正孔が捕獲されている場合には大きな電流でビット線の電位を引き下げるが、正孔が捕獲されていない場合には、より小さな電流でビット線の電位を引き下げるため、第2のMOSFETのゲート酸化膜中に正孔が捕獲されているか否かにより、ビット線の電位の変化の仕方が大きく異なり、ある時間経過した後、センスアンプにて増幅することによりメモリの内容を識別できる。またこの動作において、第2のMOSFETのゲート酸化膜中に捕獲された正孔はその捕獲準位から放出されないため、非破壊でデータを読み出すことができる。

【0023】

【発明の効果】以上説明したように、この発明によれば、通常のMOSFETの製造工程で作成されるMOSFETのみを用いて、不揮発性メモリセルを構成することができるため、製造工程の低コスト化に寄与することができる電氣的に書き込み、読み出し、消去可能な不揮発性メモリセルを提供することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係わる不揮発性メモリセルの構造を示す回路図。

【図2】 図1のメモリセルを用いて不揮発性メモリを

7

構成した場合の回路のブロック図。

【図3】 図1における情報を記憶するMOSFET (M2) の断面模式図をn型チャネルトランジスタを例にとって示した図。

【図4】 図3のMOSFETのゲート酸化膜中に正孔を注入した場合の断面模式図。

【図5】 MOSFETのゲート酸化膜中の正孔捕獲準位に正孔を捕獲させた場合と捕獲させていない場合のMOSFETの線形領域における相互コンダクタンス G_m の最大値の逆数をゲート長に対して実測した結果を示す図。

【図6】 電界を示す図。

【図7】 図1に示すメモリセルの書き込み、消去、読み出し動作を示す動作波形図。

【図8】 図1の第2のMOSFETを形成するための工程模式図。

【図9】 従来のEEPROMにおけるフローティングゲートを有するメモリセルの動作を示す図。

【図10】 従来のEEPROMにおけるメモリセルの製造工程を示す図。

【符号の説明】

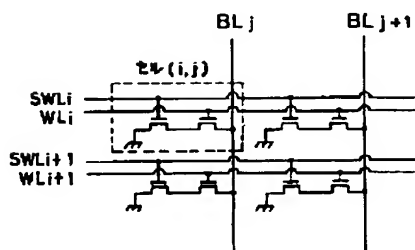
31...p⁺ ゲート電極,
32...n⁺ ゲート電極,
33...空乏層,

8

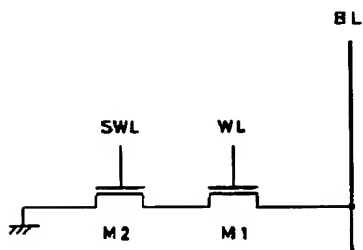
41...p⁺ ゲート電極,
42...n⁺ ゲート電極,
81...p型シリコン基板,
82...p型ウェル,
83...素子分離領域,
84...ゲート酸化膜,
85...p⁺ 多結晶ゲート電極,
86...ソース・ドレイン,
87...n⁺ 多結晶ゲート電極,
88...CVDシリコン酸化膜,
89...アルミニウム配線,
91...p型シリコン基板,
92...n型高濃度拡散層,
93...フローティングゲート,
94...コントロールゲート,
101...p型シリコン基板,
102...シリコン酸化膜,
103...レジスト,
104...高濃度拡散層 (n⁺),
105...ゲート酸化膜,
106...トンネルゲート酸化膜,
107...フローティングゲート電極,
108...シリコン酸化膜,
109...コントロールゲート電極。

20

【図1】

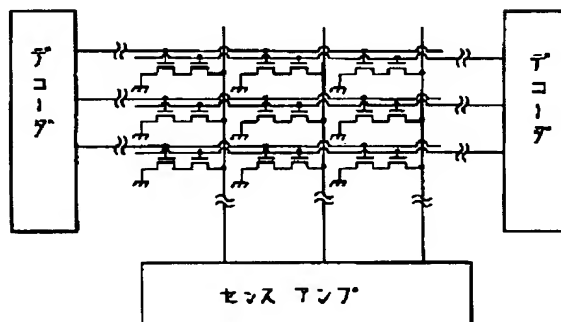


(a)

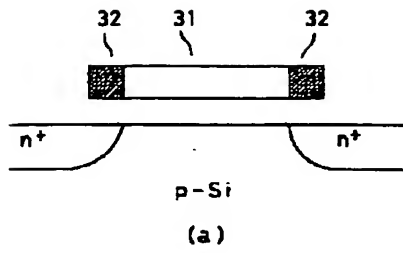


(b)

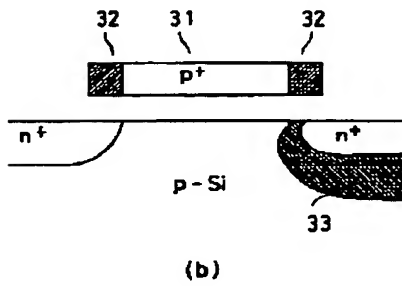
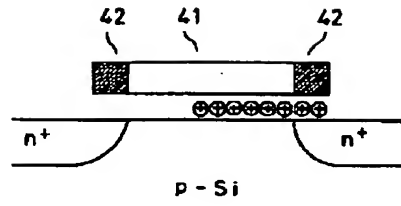
【図2】



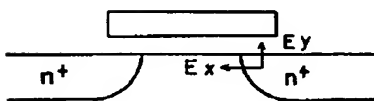
【図3】



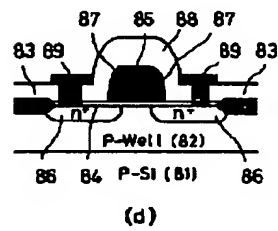
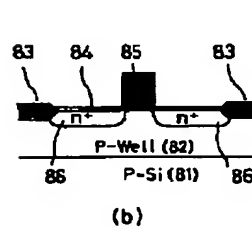
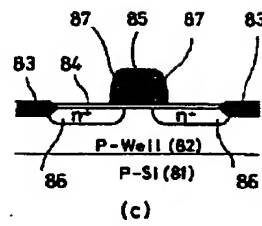
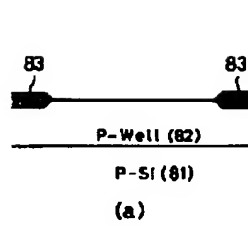
【図4】



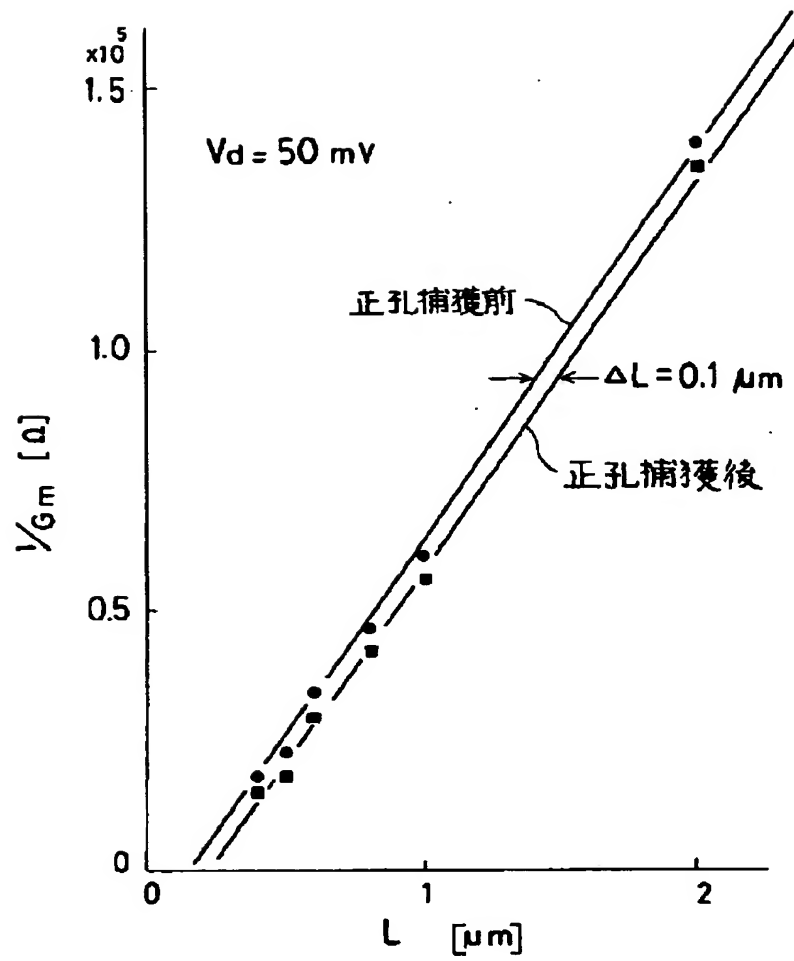
【図6】



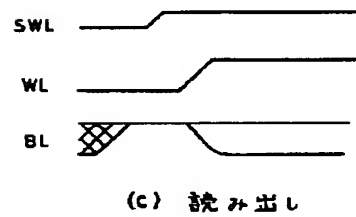
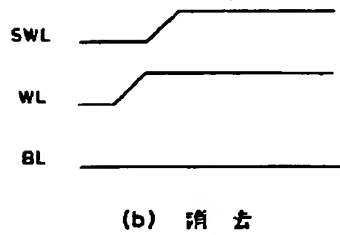
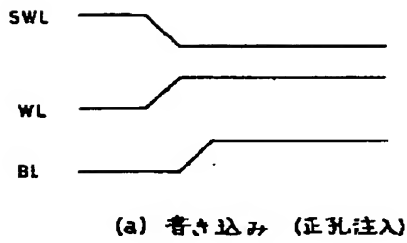
【図8】



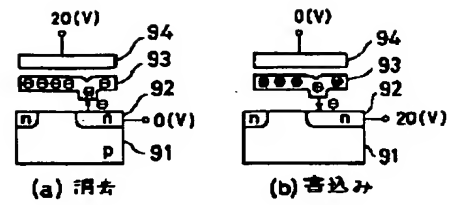
【図5】



【図7】



【図9】



【図10】

